

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020000046659 A**(43)Date of publication of application: **25.07.2000**(21)Application number: **1019980063372**(71)Applicant: **LG.PHILIPS LCD CO., LTD.**(22)Date of filing: **31.12.1998**(72)Inventor: **SONG, HONG SEONG
HONG, JIN CHEOL**

(51)Int. Cl.

G06F 3/14**(54) DATA TRANSFER DEVICE AND METHOD****(57) Abstract:**

PURPOSE: A device and method for data transfer is disclosed to restrain EMI and to minimize use of electricity by provide appropriate data transfer method and device, an appropriate liquid display device, and a computer system.

CONSTITUTION: A device and method for data transfer is composed of transmission, input, reversion, comparison, and determination. A data sender(36) reverses 18bit video data, which will be sent from interface(34) to a data receiver(38) according to a mode controllers(40) logical value of a mode control signal (REV). If an inputted REV is of low logic, the data sender transmits interfaces unchanged 18bit video data to the data receiver. If the inputted REV is of high logic, the data sender reverses and transmits 18bit video data to the data receiver. A data receiver selectively reverses 18bit video data sent from the data sender according to logical value of the REV. The mode controller receives 18bit video data(Dn) from interface according to data clocks(DCLK) period. A data transition state of previous video data is compared to the present one and transition amount is extracted. The mode controller factors transition amount and determines if it exceeds critical value. If it exceeds the critical value, the REV's logical value is reversed and transmitted 18bit video data's frequency is reduced.

COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (19981231)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20010925)

Patent registration number (1003132430000)

Date of registration (20011017)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. G06F 3/14	(11) 공개번호 (43) 공개일자	특2000-0046659 2000년 07월 25일
(21) 출원번호	10-1998-0063372	
(22) 출원일자	1998년 12월 31일	
(71) 출원인	엘지.필립스엘시디 주식회사, 구분준 대한민국 0 서울특별시 영등포구 여의도동 20번지 엘지.필립스엘시디 주식회사, 큰 위라하디락사 대한민국 0 서울특별시 영등포구 여의도동 20번지	
(72) 발명자	송홍성 대한민국 718-830 경상북도 칠곡군 석적면 남율리 동화아파트 104동 508호 홍진철 대한민국 730-140 경상북도 구미시 오대동 대동3차아파트 102동 1805호	
(74) 대리인	김영호	
(77) 심사청구	있음	
(54) 출원명	데이터 전송 장치 및 그 방법	

요약

본 발명은 EMI를 억제함과 아울러 전력 소모를 최소화하기에 적합한 데이터 전송 장치에 관한 것이다.

데이터 전송 장치는 다수의 비트들로 이루어진 데이터를 동기 클럭과 함께 입력하여 동기 클럭 주기마다 데이터의 전이량을 검출하고 그 전이량 출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와, 모드제어신호에 응답하여 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 데이터들을 전송하는 데이터 송신기와, 모드제어신호에 응답하여 데이터 송신기로부터의 선택적으로 반전되어진 데이터를 선택적으로 재 반전시켜 원래의 데이터로 복원하는 데이터 수신기를 구비한다.

대표도

도3

영세서

도면의 간단한 설명

- 도1 은 액정표시장치를 이용한 통상의 휴대용 컴퓨터의 블록도.
- 도2 는 종래 액정표시장치에서 전송되는 비디오 데이터의 타이밍도.
- 도3 는 본 발명의 실시 예에 따른 데이터 전송장치가 적용되어진 액정표시장치의 블록도.
- 도4 는 본 발명의 실시 예에 따른 데이터 전송장치에 의해 전송되는 비디오 데이터의 타이밍도.
- 도5 은 도3 에 도시된 모드제어기의 상세 블록도.
- 도6 는 도5 에 도시된 전이 검출 설의 상세 회로도.
- 도7 는 도3 에 도시된 데이터 송신기의 실시 예를 도시하는 도면.
- 도8 는 도3 에 도시된 데이터 송신기의 다른 실시 예를 도시하는 도면.
- 도9 는 도3 에 도시된 데이터 수신기의 실시 예를 도시하는 도면.
- 도10 는 도3 에 도시된 데이터 수신기의 다른 실시 예를 도시하는 도면.
- 도11 는 본 발명의 다른 실시 예에 따른 데이터 전송장치가 적용된 컴퓨터 시스템의 블록도.
- 도12 는 본 발명의 또 다른 실시 예에 따른 데이터 전송장치가 적용된 컴퓨터 시스템의 블록도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 병렬 데이터를 전송하기 위한 데이터 전송 장치 및 그 방법에 관한 것이다. 또한, 본 발명은 상기 데이터 전송 장치를 이용한 액정표시장치에 관한 것이다. 나아가, 본 발명은 상기 데이터 전송 장치를 이용한 컴퓨터 시스템에 관한 것이다.

음성정보가 전송되기 시작한 이래로 전송매체를 통하여 전송되는 텍스트 정보(Text Information) 및 비디오 정보(Video Information)와 같은 최근의 정보는 음성정보에 비하여 그 양이 커지고 있다. 특히, 비디오 정보는 고품질 영상에 대한 이용자의 욕구를 충족시키기 위하여 그 양이 더욱 더 커지고 있는 실정이다. 이와 더불어, 최근의 정보는 이용자가 적절한 시기에 이용할 수 있게끔 고속으로 전송되고 있다. 이로 인하여, 정보의 전송속도가 빨라지므로 전송되는 정보의 양에 따라 높아질 수밖에 없는 물론 이거니와 정보를 전송하기 위한 라인의 수도 증가될 수밖에 없다.

실제로, 도1 예와 같이 액정표시장치(Liquid Crystal Display Apparatus; 이하 "LCD"라 함)를 이용하는 휴대용 컴퓨터(Portable Computer)의 경우를 컴퓨터 본체(10)내의 비디오 카드(12)로부터 LCD(20)의 데이터 구동 집적회로 칩(Data Driving Integrated Circuit Chip, 이하 "D-IC"라 함)(22) 쪽으로 전송되는 비디오 데이터는 화상의 해상도 모드가 높아짐에 따라, 즉 화소수가 많아짐에 따라 그 주파수가 높아질 수밖에 없다. 이를 상세히 하면, 화상의 해상도 모드가 기존의 VGA 모드에서 XGA 또는 SXGA 모드로 대체됨에 따라 액정패널(Liquid Crystal Panel)(24)에는 더욱 더 많은 화소들이 포함되므로 1수평주기내에 전송해야 할 1라인분의 비디오 데이터량이 많아진다. 이에 따라, 컴퓨터 본체(10)의 비디오 카드(12)로부터 LCD(20)의 D-IC를(22) 쪽으로 전송되는 비디오 데이터의 주파수가 높아지게 된다. 이와 같이 비디오 데이터의 주파수가 높아짐에 따라, 비디오카드(12)로부터 1도트(Dot)분의 18비트(일례로 R,G,B 각 6비트) 데이터를 연속적으로 LCD의 인터페이스(14)쪽으로 전송하기 위한 제1 전송라인(16A)과 인터페이스(14)로부터의 18비트의 데이터를 연속적으로(22) 쪽으로 전송하기 위한 제2 전송라인(16B)에서는 전자기 간섭(Electromagnetic Interference, 이하 "EMI"라 함)이 심하게 나타나게 된다. 실제로, 비디오 카드(12)로부터 인터페이스(14)까지 이르는 제1 전송라인(16A)은 통상 가요성 인쇄회로 기판(Flexible Printed Circuit Film; 이하 "제1 FPC 필름"라 함)으로 구성되며, 노출되게 되는 제1 FPC 필름에서 EMI가 많이 발생하게 된다. 또한, D-IC(22)은 통상 TAB-IC 형태로 FPC 필름상에 장착되거나 또는 COG 형태로 액정패널(24)상에 탑재되는 경우에는 인터페이스(14)와 D-IC(22)를 연결하는 제2 전송라인(16B)는 제2 FPC 필름으로 형성되며, 이 때 노출되게 되는 제2 FPC 필름에서도 EMI가 발생하게 된다.

이와 더불어, 비디오카드(12) 및 인터페이스(14)의 출력단들은 비디오 데이터의 주파수가 높아짐에 따라 하이스테이트전압 및 로우스테이트전압으로 고속 절환하여야 한다. 이로 인하여, 제1 전송라인(16A)으로 데이터를 전송하는 비디오카드(12)와 제2 전송라인(16B)으로 데이터를 전송하는 인터페이스(14)는 비디오 데이터의 주파수가 높아짐에 따라 많은 전력을 소모 할 수밖에 없다.

또한, 비디오 데이터의 비트 수도 화상의 계조(Gray Scale)가 커짐에 따라 증가될 수밖에 없다. 예를 들어, 액정표시장치의 1도트를 구성하는 적색 데이터, 녹색 데이터 및 청색 데이터 각각이 64의 계조를 가지는 경우에 비디오 데이터의 비트 수는 "18"이 된다. 이 때, 제1 및 제2 전송라인(16A,16B) 각각은 도1 예와 같이 18 개의 비트 라인들을 가지게 된다. 도2는 종래 액정표시장치에서 인터페이스(14)에서 D-IC(22)로 전송되는 비디오 데이터를 일례로 6비트 적색데이터의 전송타이밍을 도시하고 있다. 도2를 참조하면 T1 ~ T11주기의 도트 클럭 타이밍동안에 적색 데이터는 0계조에서 63번째계조로의 전환을 반복하고 있다. 이때 각 비트라인들은 하이스테이트("1")에서 로우스테이트("0")로의 데이터전이(Data Transition)가 11주기의 도트클럭타이밍동안 60번 이루어지고 있음을 알 수 있다. 이러한 데이터전이는 각 출력단의 전력소비를 증가시키는 요인이 된다.

나아가, 액정표시장치에서 8비트 D-IC를 사용하여 적색, 녹색 및 청색 데이터들이 각각 256의 계조를 가진다면, 비디오 데이터의 비트 수는 "24"의 비트라인들을 필요로 하게된다. 이렇게 비디오 데이터의 비트 수가 증가됨에 따라, 제1 및 제2 전송라인(16A,16B) 각각에 포함되는 비트 라인의 수도 증가되게 된다. 이로 인하여, 제1 및 제2 전송라인(16A,16B)에서 나타나는 EMI는 비디오 데이터의 비트 수에 따라 더욱 더 심해지게 된다. 아울러, 비디오카드(12) 및 인터페이스(14)에서 소모되는 전력도 더욱 더 커지게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 EMI를 억제함과 아울러 전력 소모를 최소화하기에 적합한 데이터 전송 장치 및 그 방법을 제공함에 있다.

본 발명의 다른 목적은 EMI를 억제함과 아울러 전력 소모를 최소화하기에 적합한 액정표시장치를 제공함에 있다.

본 발명의 또 다른 목적은 EMI를 억제함과 아울러 전력 소모를 최소화하기에 적합한 컴퓨터 시스템을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 데이터 전송 장치는 다수의 비트들로 이루어진 데이터를 동기 클럭과 함께 입력하여 동기 클럭 주기마다 데이터의 전이양을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와, 모드제어신호에 응답하여 데이터를 선택적으로 반전시키며 그 선택적으로 반전된 데이터를 전송하는 데이터 송신기와, 상기 모드제어신호에 응답하여 데이터 송신기로부터의 선택적으로 반전되어진 데이터를 선택적으로 재 반전시켜 원래의 데이터로 복원하는 데이터 수신기를 구비한다.

본 발명의 실시 예에 따른 데이터 전송방법은 다수의 비트들로 이루어진 데이터를 동기 클럭과 함께 입력하여 동기 클럭 주기마다 데이터의 전이양을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와, 모드제어신호에 응답하여 데이터를 선택적으로 반전시키며 그 선택적으로 반전된 데이터를 전송하는 제2단계와, 모드제어신호에 응답하여 선택적으로 반전되어진 데이터들을 선택적으로 반전시켜 원래의 데이터로 복원하는 제3단계를 포함한다.

본 발명의 실시 예에 따른 액정표시장치는 다수의 비트들로 이루어진 비디오데이터들을 입력받아 n번째 비디오 데이터와 n-1번째 비디오 데이터와의 전이양을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와, 모드제어신호에 응답하여 데이터를 선택적으로 반전시키며 그 선택적으로 반전된 비디오 데이터를 전송하는 데이터 송신기와, 상기 모드제어신호에 응답하여 데이터 송신기로부터의 선택적으로 반전되어진 비디오 데이터를 선택적으로 반전시켜 원래의 비디오 데이터로 복원하는 데이터 수신기를 구비한다.

본 발명의 실시 예에 따른 컴퓨터 시스템은 비디오 카드로부터 다수의 비트들로 이루어진 비디오 데이터를 입력받아 n번째 비디오 데이터와 n-1 번째 비디오 데이터와의 전이양을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어 신호를 발생하는 모드제어기와; 모드제어신호에 응답하여 n번째 비디오 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 비디오 데이터를 전송하는 데이터 송신기와; 모드제어신호에 응답하여 데이터 송신기로부터의 전송라인을 통해 입력되는 선택적으로 반전된 데이터들을 선택적으로 반전시켜 원래의 비디오 데이터로 복원하는 역검표시장치의 인터페이스회로를 구비한다.

본 발명의 다른 실시 예에 따른 컴퓨터 시스템은 비디오 카드로부터 다수의 비트들로 이루어진 비디오 데이터를 입력받아 n번째 비디오 데이터와 n-1 번째 비디오 데이터와의 전이양을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어 신호를 발생하는 모드제어기와; 모드제어신호에 응답하여 n번째 비디오 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 비디오 데이터를 전송하는 데이터 송신기와; 모드제어신호에 응답하여 데이터 송신기로부터의 전송라인을 통해 입력되는 선택적으로 반전된 데이터들을 선택적으로 반전시켜 원래의 비디오 데이터로 복원하여 데이터 드라이브로 출력하는 데이터수신기를 구비한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 다음의 실시 예에 대한 상세한 설명을 통하여 명백하게 될 것이 다.

이하, 본 발명의 실시 예를 첨부한 도3 에서 도12를 참조하여 상세히 설명하기로 한다.

도3은 본 발명의 실시 예에 따른 데이터 전송장치에 적용되어진 역검표시장치를 도시하고 있다. 이 역검표시장치는 역검표배열(30)의 소스 라인들을 분할 구동하여 위한 다수의 D-IC들(32)과, 비디오로부터 입력되는 비디오 데이터를 이들 D-IC들(32)에 제곱하기 위한 인터페이스(34)를 구비한다. D-IC들(32)에 공급될 비디오 데이터는 일례로 각각 6비트 된 픽셀 데이터(R0 ~ R5), 녹색 데이터(G0 ~ G5) 및 청색 데이터(B0 ~ B5)로 구성된다. 이들 비디오 데이터는 데이터 클럭(DCLK)에 맞추어 D-IC들(32) 쪽으로 전송되며, 게이트드라이버(26)가 순차적으로 스케닝한 역검표배열의 해당라인의 픽셀전극에 아날로그신호로 변환되어 출력된다.

또한, 도3의 역검표시장치는 인터페이스(34)와 D-IC들(32) 사이에 접속되어진 데이터 송신기(36) 및 데이터 수신기(38)와, 이들 데이터 송신기 및 데이터 수신기(38)의 전송모드를 제어하기 위한 모드 제가기(40)를 추가로 구비한다. 상술한 데이터 수신기는 일례로 D-IC(32)내에 집적될 수 있다. 이때 데이터 수신기(36)와 데이터 수신기(38)는 FCC 필름등의 노출된 전송라인(42)에 의해 전기적으로 연결되게 된다. 상술한 전송라인(42)은 18개의 데이터 비트라인들, 적어도 하나이상의 클럭라인들 및 하나의 모드제어라인을 포함한다.

데이터 송신기(36)는 모드 제가기(40)로부터의 모드제어신호(REV)의 논리 값에 따라 인터페이스(34)로부터 데이터 수신기(38) 쪽으로 전송될 18비트의 비디오 데이터를 선택적으로 반전시키게 된다. 이를 상세히 하면, 일례로 데이터 송신기(36)는 입력되는 모드제어신호(REV)가 로우인 경우는 경우 인터페이스(34)로부터의 18비트의 비디오 데이터를 데이터 수신기(38) 쪽으로 그대로 전송한다. 반면에 상기 모드제어신호(REV)가 하이논리를 가지는 경우에는 인터페이스(34)로부터 데이터 수신기(38) 쪽으로 전송될 18 비트의 비디오 데이터를 반전시켜 데이터 수신기(38)로 전송한다. 상술한 전송동작과 비슷하게, 데이터 수신기(38)도 모드 제가기(40)로부터의 모드제어신호(REV)의 논리 값에 따라 데이터 송신기(36)로부터 입력되는 18 비트의 비디오 데이터를 선택적으로 반전시키게 된다. 이를 상세히 하면, 데이터 수신기(38)는 모드제어신호(REV)가 로우논리를 가지는 경우 데이터 송신기(36)로부터의 18 비트의 비디오 데이터를 D-IC(32)로 그대로 전송한다. 반면에 모드제어신호(REV)가 하이논리를 가지는 경우에는 입력되는 18 비트의 비디오 데이터를 반전시켜 D-IC(32)로 출력하게 된다. 이러한 데이터 수신기(38)의 동작에 의하여, 데이터 송신기(36)로부터의 저주파수 비디오 데이터와 고주파수 비디오 데이터로 복원되게 된다.

모드 제가기(40)는 데이터 클럭(DCLK)의 주기마다 인터페이스(34)로부터 18 비트의 비디오 데이터(Dn)를 입력받아, 이전 데이터 클럭 주기에 입력되어진 비디오 데이터(Dn-1)와 데이터전이양을 비교한다. 즉 n번째 비디오 데이터(Dn)와 n-1번째 비디오 데이터(Dn-1)의 각 구성비트들을 비교하여 '0 → 1' 또는 '1 → 0'과 같은 데이터전이양을 검출하고 그 전이양을 검출하게 된다.

또한, 모드 제가기(40)는 상술한 전이양을 계수하고 그 계수된 전이양이 임계값 (예를 들면, 9 : 전체 전송량 18비트의 절반)을 초과하는가를 검사하게 된다. 나아가, 모드 제가기(40)는 전이양과 임계값을 비교하여 상기 전이양이 임계값을 초과할 때마다 데이터 송신기(36) 및 데이터 수신기(38)에 공급될 모드제어신호(REV)의 논리 값을 반전시키게 된다. 다시 말하여, 모드 제가기(40)는 데이터 클럭 주기가 현재 비디오 데이터와 이전의 비디오 데이터와의 데이터전이양을 검출하고 그 전이양이 임계값을 초과할 때마다 모드제어신호의 논리값을 반전시키게 된다. 이 모드 제가기(40)에서 발생하는 모드제어신호(REV)에 의하여, 데이터 송신기(36) 및 데이터 수신기(38)가 비디오 데이터를 선택적으로 반전시킴으로써 FCC 필름(42) 상에서 전송되는 18 비트의 비디오 데이터의 주파수가 낮아지게 된다.

도4는 본 발명의 실시 예에 따른 데이터 전송장치에 의해 전송되는 비디오 데이터의 타이밍도로서, 일례로 도2에 도시된 6비트의 적색데이터를 기준으로 비디오 데이터의 모드제어신호(REV)발생 및 데이터반전상태를 보여주고 있다. 도2에서는 역검표배열내에서 수직 스트라이프들을 형성하기 위하여 T1,T3,T4,T5,T7,T9,T11주기까지 각 도트클럭마다 "0"의 6비트 적색데이터가 역검표시장치로 인가되므로, T2,T4,T6,T8,T10주기의 각 도트클럭마다 "111111"의 6비트 적색데이터가 역검표시장치로 인가된다. 이때 T1과 T2, T2와 T3,..., T10과 T11에서 각각 6비트의 데이터전이가 발생함을 알 수 있다. 따라서 모드제가기(40)는 T1주기의 6비트 적색데이터와 T2주기의 6비트 적색데이터를 비교하여 데이터전이양을 검출하고 그 검출전이양이 값이 전송데이터비트수의 임계값(일례로 6비트에 대해서는 "3")이상이면 모드제어신호(REV)를 초기값 "로우"에서 "하이"로 전환하여 출력한다. 또한 모드제가기는 T3주기에서 이전주기의 T2주기 6비트 적색데이터("111111")와 T3주기의 6비트 적색데이터("0")를 비교하여 데이터전이양"6"을 검출하고 이를 임계값3과 비교하여 그 이상이면 모드제어신호(REV)를 반전시켜 "로우"로 출력한다. 따라서 T1에서 T11주기까지 적색데이터가 연속하여 "6"의 데이터전이양을 가지므로 도4에 도시된 바와 같이 모드제어신호는 10번의 반전제어를 이루어준다. 그리고 데이터전이값(36)는 상기 모드제어기로부터 입력되는 모드제어신호(REV)를 입력받아 그 논리상태에 대응하여 도2와 같이 입력되는 적색데이터를 도4에 도시된 바와 같이 반전시켜 출력하게 된다. 도4를 살펴보면 6비트의 데이터가 "로우"상태로만 출력되어 EMI발생요인이 현저하게 낮아진 것을 알 수 있다. 즉 데이터 클럭(DCLK)의 11주기에 걸쳐서 데이터라인상에는 데이터전이가 한번도 발생하지 않고, 단지 모드제어신호(REV)만이 10번 변화해 된다. 다시 말하여, 본 발명의 실시 예에 따른 데이터 전송장치에 의해서 전송되는 비디오 데이터는 세로 줄무늬가 표시될 경우에 "0 Hz"의 주파수를 가지게 된다. 이에 반해, 본 발명에 따른 데이터 전송장치를 가지는 역검표시장치에서는 고주파수의 비디오 데이터가 저주파수로 전송됨으로써 EMI가 억제됨과 아울러 인터페이스회로의 전적소모도 감소되게 된다.

상술한 모드제어기의 동작 및 구성을 도5 ~ 도10을 참조하여 상세히 설명하기로 한다.

먼저 도5는 도3에 도시된 모드 제어기(40)를 상세하게 도시한다. 도5에 있어서, 모드 제어기(40)는 전이 검출 셀 어레이(TDC: Transition Detecting Cell; 44)에 직접 접속되어서 계수기(46), 임계값 비교기(48) 및 제1 플립플롭(50)을 구비한다. 전이 검출 셀 어레이(44)는 도3의 인터페이스(34)로부터 18비트의 직렬, 녹색 및 청색 데이터(R0~R5, G0~G5, B0~B5)를 1비트씩 나누어 입력하는 18개의 전이 검출 셀(TDC1 ~ TDC18)로 구성된다. 도6은 상술한 전이 검출 셀들(TDC1 ~ TDC18)중 셀 하나를 상세하게 도시한다.

도6의 전이 검출 셀(TDC)은 직접 접속되어서 제2 및 제3 플립플롭(52,54)과, 이들 플립플롭들(52,54)에 저장되어진 비트 데이터들을 비교하는 엑스클루시브 오어 게이트(Exclusive OR Gate)(EOX)를 구비한다. 제2 및 제3 플립플롭(52,54)은 각각 인터페이스(34)로부터의 데이터 클럭(DCLK)에 동기하여 각각 n번째의 데이터와 n-1번째의 데이터를 래치하고 있다.

엑스클루시브 오어 게이트(EOX:56)는 상기 제2 및 제3 플립플롭(52,54)으로부터 래치된 데이터를 입력받아 각각의 데이터값을 비교하여 그 비교결과에 따라 전이검출신호(TS)를 생성출력한다. 즉 상기 엑스클루시브 오어 게이트(56)는 상기 제2 및 제3 플립플롭(52,54)으로부터 "0"과 "0" 또는 "1"과 "1"의 데이터가 입력되면 데이터전이가 있음을 나타내는 "0"값의 전이검출신호(TS)를 출력하며, "0"과 "1" 또는 "1"과 "0"의 데이터가 입력되면 데이터전이가 나타내는 "1"값의 전이검출신호(TS)를 출력하게 된다. 이러한 18개의 전이검출셀들(TDC1 ~ TDC18)은 각각 1비트씩의 데이터를 입력받아 각각 이전주기의 데이터와 비교하여 각 해당비트들의 전이상태를 검출하여 그 검출신호들(TS1 ~ TS18)을 도5의 계수기(46)로 출력한다.

계수기(46)는 전이 검출 셀 어레이(44)로부터의 18개의 전이검출신호들(TS1 ~ TS18)중 특정논리를 가지는 전이검출신호들(TS)의 수를 계수하고 그 계수된 값을 전이비트수(VBN)로써 임계값 비교기(48)에 공급하게 된다. 이때 상술한 계수기(46)는 가산기(adder)등이 사용될 수 있다.

임계값 비교기(48)는 계수기(46)로부터의 전이비트수(VBN)가 소정의 임계비트수(CBN)를 초과하는가를 검출하게 된다. 임계비트수(CBN)는 비도로 데이터의 절반에 해당하는 수(예를 들면, 9)로 설정되는 것이 바람직하나 그 보다 작거나 크게 설정될 수도 있다. 전이비트수(VBN)가 임계비트수(CBN)를 초과하는 경우에 임계값 비교기(48)는 특정논리의 펄스를 가지는 비교신호를 제1 플립플롭(50)에 공급한다. 제1 플립플롭(50)은 임계값 비교기(48)로부터 특정논리의 펄스를 가지는 비교신호가 입력될 때마다 출력단자(Q)에서 발생되는 모드제어신호(REV)의 논리상태를 반전시키게 된다. 모드제어신호(REV)의 논리상태는 비도로 데이터의 비트 수중 임계값 이하의 비트 데이터가 변하는 기간에는 변하지 않게 되는데 반하여 비도로 데이터중 임계값 이상의 비트 데이터가 변할 때마다 "하이"에서 "로우"로 또는 "로우"에서 "하이"로 변하게 된다.

상술한 모드제어기(40)의 동작, 모드제어신호(REV)의 발생과정, 송수신데이터의 반전과정을 아래의 표를 들어 상세히 설명하기로한다. 일례로 n번째에서 n+4번째의 도트데이터의 값이 아래표와 같으며 모드제어신호(REV)는 초기값 0로 가정하면 모드제어기(40)의 동작은 다음과 같다.

【표 1】

	R[0:5]	G[0:5]	B[0:5]	VBN	REV
Dn	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	0	로우
Dn+1	1 1 1 1 1 1	1 1 1 1 1 1	1 1 1 1 1 1	16	하이
Dn+2	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	16	로우
Dn+3	0 0 1 1 0 1	1 1 1 1 1 1	0 0 1 1 1 0	12	하이
Dn+4	0 0 1 1 0 1	0 0 0 0 0 0	0 0 1 1 1 0	6	하이

먼저 전이 검출 셀 어레이(44)는 Dn+1주기에서 Dn주기에서 래치된 데이터와 현재주기의 데이터를 각각 비교하여 "1111111111111111"값의 전이검출신호(TS1 ~ TS18)를 계수기(46)로 출력한다. 계수기(46)는 전이검출신호를 모아서 "16"값의 전이비트수(VBN)로 출력하며, 임계값비교기(48)는 상기 "16"값의 전이비트수(VBN)와 임계비트수(CBN)를 비교하여 제1 플립플롭(50)을 통해 "하이"상태의 모드제어신호(REV)를 출력한다. 상술한 과정과 유사하게 모드제어기(40)는 Dn+2주기에서 전이비트수(VBN)가 16이므로 모드제어신호(REV)를 반전시켜 "로우"상태로 출력하며, Dn+3주기에서는 전이비트수(VBN)가 12이므로 모드제어신호(REV)를 반전시켜 "하이"상태로 출력하고, Dn+4주기에서 전이비트수(VBN)가 6으로 임계비트수(9) 이하 이므로 이전주기의 모드제어신호(REV)의 "하이"상태를 유지하여 출력한다.

도7은 도3의 데이터 송신기(36)의 실시 예를 상세하게 도시한다. 도7의 데이터 송신기(36)는 도3의 인터페이스(34)로부터의 18비트의 비도로 데이터를 1비트씩 나누어서 각각 직접입력 및 18개의 인버터(INV1 내지 INV18)를 통해 반전입력받는 제어용 스위치들(CSW1 ~ CSW18)을 구비한다.

제어용 스위치들(CSW1 ~ CSW18)은 도3 및 도5에 도시된 모드 제어기(40)로부터의 모드제어신호(REV)에 공통적으로 응답하여 비트 데이터를 비반전/반전상태로 선택하여 출력한다. 이를 상세히 하면, 제어용 스위치들(CSW1 ~ CSW18) 각각은 모드제어신호(REV)가 로우논리를 유지하는 경우에는 인터페이스(34)로부터의 비도로 데이터를 도3의 데이터 수신기(38) 쪽으로 그대로 전송하며, 반면에 모드제어신호(REV)가 하이논리를 유지하는 경우에는 인버터(INV1 ~ INV18)를 통해 반전된 비도로 데이터를 데이터 수신기(38) 쪽으로 전송하게 된다. 상술한 표1에 기재된 데이터들을 예로들면 데이터 송신기(36)는 아래의 표2와 같이 모드제어신호(REV)에 따라 데이터를 변환하여 출력한다.

【표 2】

	SR[0:5]	SG[0:5]	SB[0:5]	REV
Dn	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	로우
Dn+1	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	하이
Dn+2	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	로우
Dn+3	1 1 0 0 1 0	0 0 0 0 0 0	1 1 0 0 0 1	하이
Dn+4	1 1 0 0 1 0	1 1 1 1 1 1	1 1 0 0 0 1	하이

따라서 산출한 모드제어기(40)와 데이터송신기(36)의 동작에 따라 표1의 비디오데이터가 표2와 같은 비디오 데이터(SR0 ~ SB5)로 변환되어 제2 전송라인(42)을 통해 데이터수신기(38)로 전송된다. 이때 표1의 원래 데이터와 표2의 변환데이터와의 데이터전이량을 계산하면 각각 표1의 원래 데이터는 Dn+1 ~ Dn+4까지의 주기동안 데이터전이량 50을 나타내나, 본 발명의 실시예를 통한 변환데이터는 데이터전이량 12만을 나타내며 이를 통해 EMI 및 역정표시장치의 전력소모를 줄일 수 있다.

도8은 도3의 데이터 송신기(36)의 다른 실시 예를 상세하게 도시한다. 도8의 데이터 송신기(36)는 도3의 인터페이스(34)로부터의 18 비트의 비디오 데이터를 1비트씩 나누어 입력하는 18개의 익스클루시브 오어 게이트들(EOX1 ~ EOX18)로 구성되어 있다. 이들 18개의 익스클루시브 오어 게이트들(EOX1 ~ EOX18)은 도3 및 도5에 도시된 모드 제어기(40)로부터의 모드제어신호(REV)에 공통적으로 응답하여 비트 데이터를 선택적으로 반전시키게 된다. 즉 익스클루시브 오어 게이트들(EOX1 ~ EOX18)에 '로우'상태의 모드제어신호(REV)가 입력되면 상기 비디오 데이터의 값이 그대로 출력되며, '하이'상태의 모드제어신호(REV)가 입력되면 상기 비디오 데이터의 값이 반전되어 출력된다.

도9은 도3의 데이터 수신기(38)의 실시 예를 상세하게 도시한다. 도9의 데이터 수신기(38)는 도3의 데이터 송신기(36)로부터의 18 비트의 비디오 데이터(SR0 ~ SB5)를 1비트씩 나누어 입력하는 18개의 인버터(INV19 ~ INV36)와, 이들 18개의 인버터들(INV19 ~ INV36) 각각에 접속되어진 제1 ~ 제18제어용 스위치들(CSW19 ~ CSW36)을 구비한다. 도9에 도시된 데이터수신기(38)의 동작을 살펴보면, 먼저 제어용 스위치들(CSW19 ~ CSW36) 각각은 모드제어신호(REV)가 '로우'상태를 유지하는 경우에는 데이터 송신기(36)로부터 전송라인(42)을 통해 입력되는 비트 데이터를 도3의 D-IIC들(32) 쪽으로 그대로 전송하는 반면에, 모드제어신호(REV)가 '하이'상태를 유지하는 경우에는 인버터(INV19 ~ INV36)로부터의 반전된 비트 데이터를 D-IIC들(32) 쪽으로 전송하게 된다. 산출한 데이터수신기(38)의 동작을 표2 및 하기의 표3를 참조하여 살펴보면 다음과 같다. 먼저 표2에 기재된 데이터들과 모드제어신호(REV)가 전송라인(42)을 통해 입력되면 데이터수신기(38)는 표3과 같이 인터페이스(34)에서 출력되는 원래의 데이터로 복원하여 D-IIC(32)로 출력한다.

[표 3]

	R[0:5]	G[0:5]	B[0:5]	REV
Dn	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	로우
Dn+1	1 1 1 1 1 1	1 1 1 1 1 1	1 1 1 1 1 1	하이
Dn+2	0 0 0 0 0 0	0 0 0 0 0 0	0 0 0 0 0 0	로우
Dn+3	0 0 1 1 0 1	1 1 1 1 1 1	0 0 1 1 1 0	하이
Dn+4	0 0 1 1 0 1	0 0 0 0 0 0	0 0 1 1 1 0	하이

이와 같이 데이터 송신기(36)로부터의 18 비트의 비디오 데이터가 산출한 데이터수신기(38)에 의해 모드제어신호(REV)에 응답하여 선택적으로 반전됨으로써 원래의 고투파수의 비디오 데이터(R0 ~ B5)로 복원되게 된다.

도10은 도3의 데이터 수신기(38)의 다른 실시 예를 상세하게 도시한다. 도10의 데이터 수신기(38)는 도8의 데이터송신기(36)와 유사하게 구성되어, 각 익스클루시브 오어 게이트(EOX19 ~ EOX36)들은 입력되는 모드제어신호(REV)에 응답하여 전송라인(42)을 통해 입력되는 비디오 데이터를 선택적으로 반전하여 D-IIC들(32)로 전송하게 된다.

산출한 데이터 수신기(38)는 D-IIC(32)내에 집적될 수 있으며, 이러한 구조를 가지는 D-IIC가 일본특허공개공보 평3-208090 호에 개시되어있으며, 참고로 도10에 도시된 구조를 개시하고 있다.

산출한 본 발명의 실시 예에서는 싱글뱅크(Single Bank)구조의 D-IIC를 사용하는 액정표시장치를 기준으로 설명하였었다. 그러나 인터페이스(34)로부터 각각 18비트의 수평뱅크 비디오데이터와 18비트의 기수뱅크 비디오 데이터가 전송되는 더블뱅크(Double Bank)구조의 액정표시장치에서, 본 발명의 실시예는 액정표시장치의 인터페이스와 D-IIC간의 전송라인을 통해 36비트의 데이터가 전송되도록 산출한 도3 ~ 도10에 개시된 구조를 추가하여 2배의 전송라인에 따라 비디오데이터를 전송하여 양계비트수를 18으로 설정하여 적용할 수 도 있다.

또한 본 발명의 다른 실시예를 살펴보면, 도11은 본 발명의 다른 실시 예에 따른 데이터 전송장치가 적용되어진 컴퓨터시스템을 도시한다. 이 컴퓨터 시스템은 컴퓨터 본체(60) 내의 비디오 카드(62)와 인터페이스(34) 사이에 직접 접속되어진 데이터 송신기(36) 및 데이터 수신기(38)와, 이들 데이터 송신기 및 데이터 수신기(38)의 전송모드를 제어하기 위한 모드 제어기(40)를 추가로 구비한다. 비디오 카드(62)는 비디오 데이터와 클럭(CLK)을 발생시켜 송신기(36)로 비디오 데이터는 각각 6비트로 된 적색 데이터(R0 ~ R5), 녹색 데이터(G0 ~ G5) 및 청색 데이터(B0 ~ B5)로 구성된다. 데이터 송신기(36)와 데이터 수신기(38)는 FPC 필름(42)에 의해 전기적으로 연결되게 된다. 이 FPC 필름(42)은 18개의 데이터 비트라인들, 적어도 하나이상의 데이터 클럭라인 및 하나의 모드제어신호를 포함한다. 데이터 송신기(36)는 모드 제어기(40)로부터의 모드제어신호(REV)의 논리 값에 따라 비디오 카드(62)로부터 데이터 수신기(38) 쪽으로 전송할 18 비트의 비디오 데이터를 선택적으로 반전시키게 된다. 비슷하게, 데이터 수신기(38)도 모드 제어기(40)로부터의 모드제어신호(REV)의 논리 값에 따라 데이터 송신기(36)로부터 인터페이스(34) 쪽으로 전송할 18 비트의 비디오 데이터(R0 ~ B5)를 선택적으로 반전시키게 된다.

이에 따라, 비디오 카드(62) 및 FPC 필름(42)에서의 EMI가 억제되게 되고 아울러 비디오 카드(62)에서의 전력소모가 감소하게 된다. 마지막으로, 인터페이스(34)는 데이터 수신기(38)에 의해 복원된 비디오 데이터를 액정표시장치 및 스피커 등의 기기에 데이터를 공급하게 된다.

도12는 본 발명의 또 다른 실시 예에 따른 데이터 전송장치가 적용되어진 컴퓨터시스템을 도시한다.

도12의 컴퓨터 시스템은 비디오 카드(62)와 D-IIC들(32) 사이에 직접 접속되어진 데이터 송신기(36) 및 데이터 수신기(38)와, 이들 데이터 송신기 및 데이터 수신기(38)의 전송모드를 제어하기 위한 모드 제어기(40)를 추가로 구비한다. 데이터 송신기(36)와 데이터 수신기(38)는 FPC 필름(42)에 의해 전기적으로 연결되게 된다. 이 FPC 필름(42)은 18개의 데이터 비트라인들, 하나의 데이터 클럭라인 및 하나의 모드제어신호를 포함한다. 데이터 송신기(36)는 모드 제어기(40)로부터의 모드제어신호(REV)의 논리 값에 따라 비디오 카드(62)로부터 데이터 수신기(38) 쪽으로 전송할 비디오 데이터를 선택적으로 반전시키게 된다.

상기 모드 제어기(40)에서 발생되는 모드제어신호(REV)의하여, 데이터 송신기(36) 및 데이터 수신기(38)가 비디오 데이터를 선택적으로 반전시킴으로써 FPC 필름(42) 상에서 전송되는 비디오 데이터의 주파수가 낮아지게 된다. 이에 따라 비디오 카드(62) 및 FPC 필름(42)에서의 EMI가 억제되게 되고 아울러 비디오 카드(62)에서의 전력소모가 감소하게 된다.

발명의 효과

상술한 바와 같이, 본 발명의 따른 데이터 전송 장치 및 방법에서는 다수의 비트라인들을 통해 전송되는 데이터 스트림을 데이터 스트림의 비트 변화량이 임계값을 초과 할 때마다 반전 및 비반전 되게 함으로서 데이터 스트림의 전이 수, 즉 주파수가 낮아지게 된다. 이 결과, 전송선로에서의 EMI의 발생이 억제되게 되고 아울러 데이터 송신 측에서의 전력소모가 작아지게 된다.

또한, 본 발명에 따른 데이터 전송장치가 적용되어진 액정표시장치, 컴퓨터 종래장치 및 컴퓨터 시스템에서도 EMI의 발생이 억제될은 물론 비디오 카드 및/또는 인터페이스에서의 전력소모가 작아지게 된다.

이상 설명한 내용을 통해 당업자 라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

(57) 청구의 범위

청구항 1.

다수의 비트들로 이루어진 데이터를 동기 클럭과 함께 입력하여 동기 클럭 주기마다 상기 데이터의 전이량을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와;

상기 모드제어신호에 응답하여 상기 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 데이터를 전송하는 데이터 송신기와;

상기 모드제어신호에 응답하여 상기 데이터 송신기로부터의 상기 선택적으로 반전된 데이터를 선택적으로 반전시켜 원래의 데이터로 복원하는 데이터 수신기를 구비하는 것을 특징으로 하는 데이터 전송장치.

청구항 2.

제 1 항에 있어서,

상기 모드제어기는,

상기 데이터에 포함되어진 다수의 비트들 각각이 이전주기의 다수의 비트들로부터 전이되었는가를 검출하여 그 검출결과신호를 출력하는 다수의 전이 검출 셀들과,

상기 검출결과신호로부터 상기 데이터의 상기 비트전이량을 산출하는 연산수단과,

상기 비트전이량이 소정의 임계값을 초과할 때마다 상기 모드제어신호의 논리 값을 변경시키는 모드제어신호발생기를 구비하는 것을 특징으로 하는 데이터 전송장치.

청구항 3.

제 2 항에 있어서,

상기 전이 검출 셀이,

현재주기의 데이터와 이전주기의 데이터의 대응 비트들을 순차적으로 레지하는 제1 및 제2 플립플롭들과,

상기 제1 및 제2 플립플롭에 레지된 비트들을 비교하여 상기 전이 여부를 검출하여 검출결과신호를 출력하는 비교 게이트를 구비하는 것을 특징으로 하는 데이터 전송장치.

청구항 4.

다수의 비트들로 이루어진 데이터를 동기 클럭과 함께 입력하여 동기 클럭 주기마다 상기 데이터의 전이량을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 제1단계와;

상기 모드제어신호에 응답하여 상기 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 데이터를 전송하는 제2단계와;

상기 모드제어신호에 응답하여 상기 선택적으로 반전된 데이터를 선택적으로 반전시켜 원래의 데이터로 복원하는 제3단계를 포함하는 것을 특징으로 하는 데이터 전송 방법.

청구항 5.

제 4 항에 있어서,

상기 제1단계는,

상기 데이터에 포함되어진 다수의 비트들 각각이 이전주기의 다수의 비트들로부터 전이되었는가를 검출하여 그 검출결과신호를 출력하는 제1A 단계와,

상기 검출결과신호로부터 상기 데이터의 상기 비트전이량을 산출하는 제1B단계와,

상기 비트전이량이 소정의 임계값을 초과할 때마다 상기 모드제어신호의 논리 값을 변경시키는 제1C단계를 포함하는 것을 특징으로 하는 데이터 전송방법.

청구항 6.

액정패널을 구동하기 위한 데이터 구동회로를 가지는 액정표시장치에 있어서:

다수의 비트들로 이루어진 비디오데이터들을 입력받아 n 번째 비디오 데이터와 $n-1$ 번째 비디오 데이터와의 전이량을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와;

상기 모드제어신호에 응답하여 n 번째 비디오 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 비디오 데이터를 전송하는 데이터 송신기와;

상기 모드제어신호에 응답하여 상기 데이터 송신기로부터의 상기 선택적으로 반전된 비디오 데이터를 선택적으로 반전시켜 원래의 비디오 데이터로 복원하는 데이터 수신기를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6 항에 있어서,

상기 모드제어기는,

상기 비디오 데이터에 포함되어진 다수의 비트들 각각이 이전주기의 다수의 비트들로부터 전이되었는가를 검출하여 그 검출결과신호를 출력하는 다수의 전이 검출 셀들과,

상기 검출결과신호로부터 상기 비디오 데이터의 상기 비트전이량을 산출하는 연산수단과,

상기 비트전이량이 소정의 임계값을 초과할 때마다 상기 모드제어신호의 논리 값을 변경시키는 모드제어신호발생기를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서,

상기 전이 검출 셀이,

현재주기의 데이터와 이전주기의 데이터의 대응 비트들을 순차적으로 래치하는 제 1 및 제 2 플립플롭들과,

상기 제 1 및 제 2 플립플롭에 래치된 비트들을 비교하여 상기 전이 여부를 검출하여 검출결과신호를 출력하는 비교 게이트를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 6 항 내지 제 8 항중 어느 하나에 있어서,

상기 데이터수신기는 데이터 구동회로내에 집적되는 것을 특징으로하는 액정표시장치.

청구항 10.

액정표시장치와, 상기 액정표시장치에 공급될 비디오데이터를 생성하는 비디오카드를 구비하는 컴퓨터 시스템에 있어서,

상기 비디오 카드로부터 다수의 비트들로 이루어진 비디오데이터를 입력받아 n 번째 비디오 데이터와 $n-1$ 번째 비디오 데이터와의 전이량을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와;

상기 모드제어신호에 응답하여 n 번째 비디오 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 비디오 데이터들을 전송하는 데이터 송신기와;

상기 모드제어신호에 응답하여 상기 데이터 송신기로부터의 전송라인을 통해 입력되는 상기 선택적으로 반전된 데이터들을 선택적으로 반전시켜 원래의 비디오 데이터로 복원하는 액정표시장치의 인터페이스회로를 구비하는 것을 특징으로 하는 컴퓨터 시스템.

청구항 11.

액정패널을 구동하는 데이터드라이버를 구비하는 액정표시장치와, 상기 액정표시장치에 공급될 비디오데이터를 생성하는 비디오카드를 구비하는 컴퓨터 시스템에 있어서,

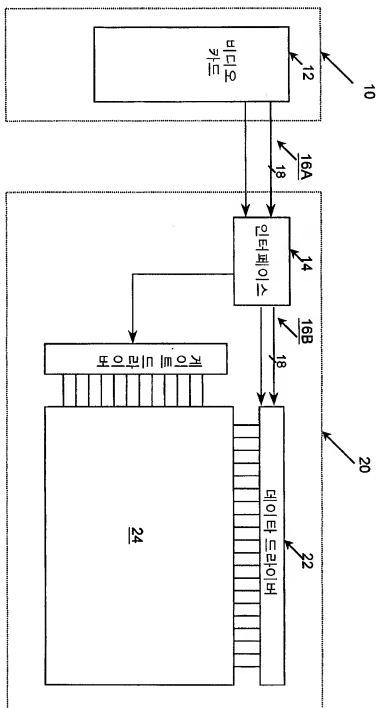
상기 비디오 카드로부터 다수의 비트들로 이루어진 비디오데이터를 입력받아 n 번째 비디오 데이터와 $n-1$ 번째 비디오 데이터와의 전이량을 검출하고 그 전이검출량에 따라 논리 값이 변하는 모드제어신호를 발생하는 모드제어기와;

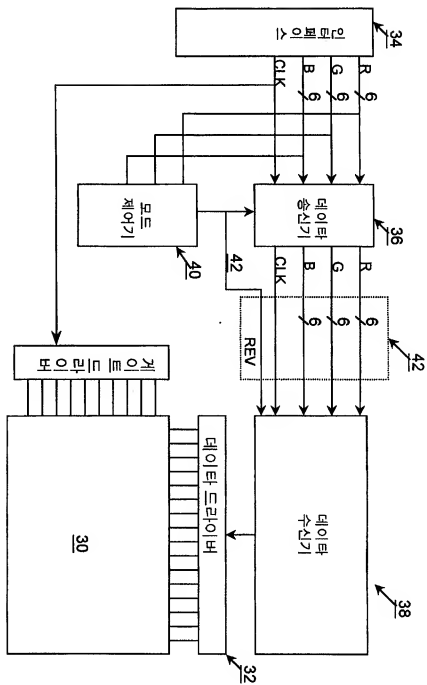
상기 모드제어신호에 응답하여 n 번째 비디오 데이터를 선택적으로 반전시키고 그 선택적으로 반전된 비디오 데이터들을 전송하는 데이터 송신기와;

상기 모드제어신호에 응답하여 상기 데이터 송신기로부터의 전송라인을 통해 입력되는 상기 선택적으로 반전된 데이터들을 선택적으로 반전시켜 원래의 비디오 데이터로 복원하여 상기 데이터드라이버로 출력하는 데이터수신기를 구비하는 것을 특징으로 하는 컴퓨터 시스템.

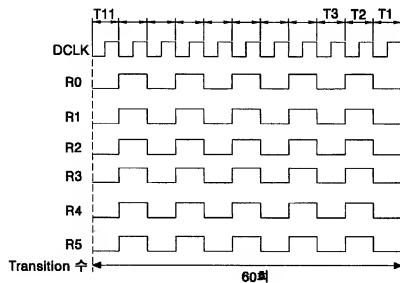
도면

도면 1

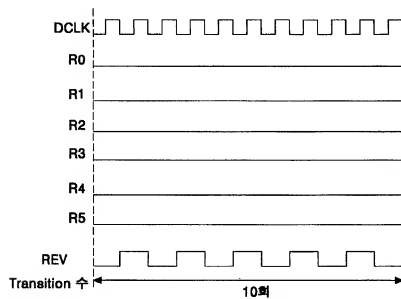




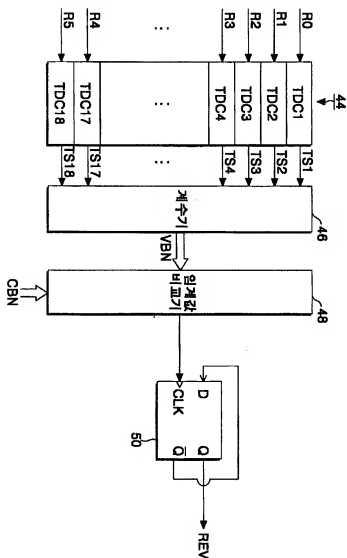
도면 2



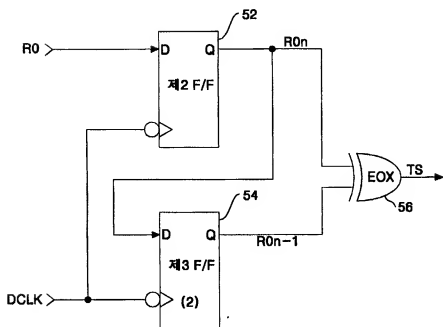
도면 4



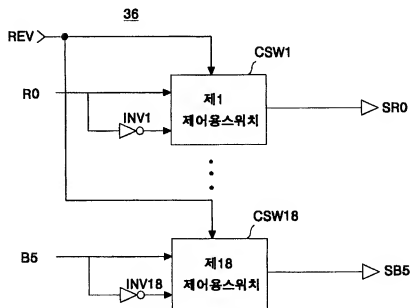
도면 5



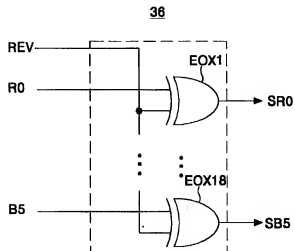
도면 6



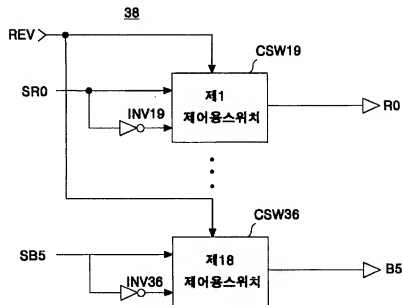
도면 7



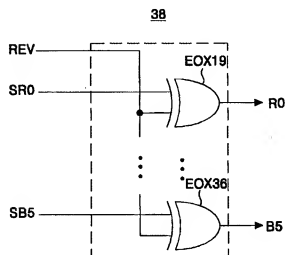
도면 8

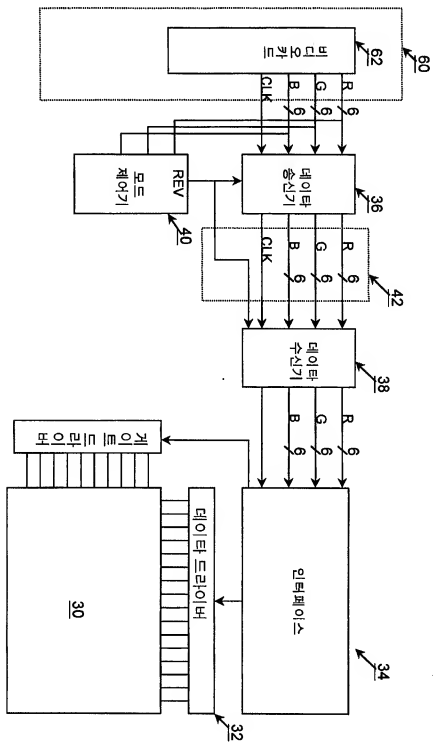


도면 9



도면 10





도면 12

